

Design of Embedded Data Analytical System board FPGA-Based for non-invasive sensing and monitoring

Diseño de un sistema de análisis de datos integrado en placa basado en FPGA para sensado y monitoreo no invasivo

Jaime Osvaldo Landin-Martinez¹, Eduardo Cabal-Yepez²

Multidisciplinary Studies Department, Engineering Division, Campus Irapuato-Salamanca, University of Guanajuato, Guanajuato, Mexico^{1,2}
jo.landinmartinez@ugto.mx¹, eduardo@mecamex.net²

Resumen

En la sociedad actual, los sistemas de monitoreo no invasivo (NIS, Non-Invasive Systems) se ha convertido en una herramienta fundamental en las estrategias de mantenimiento industrial modernas. Con el objetivo de crear un sistema de almacenamiento, adquisición, y sensado que permita un procesamiento analítico de datos a alta velocidad, y que todo esto se realice con un enfoque no invasivo de la maquinaria que será monitoreada; se describe el proceso del diseño de un board con características específicas como son distintos sensores de tipo MEM's y un dispositivo lógico programable. En este trabajo, presentamos una arquitectura de diseño para la adquisición paralela de datos basada en FPGA con procesamiento para la extracción de características estadísticas. Se seleccionó el chip XC6SLX09 fabricado en Xilinx-AMD, además como unidades de almacenamiento SRAM, FLASH y uSD, y el FPGA. Implementa controladores de la lógica necesaria para el protocolo SPI para control de los sensores y el convertidor AD. Esta enfocado para que al final de la adquisición de datos, se pueda extraer distintas características estadísticas de forma embebida y los datos calculados se pueden transmitir al host a través de la interfaz USB 2.0.

Palabras clave: Embedded systems, high-speed data acquisition, FPGA Design and implementations.

Introducción

Los sistemas de monitoreo de datos de alta velocidad y gran capacidad se utilizan ampliamente en los campos aeroespacial, militar, de telecomunicaciones y otros, y con las necesidades reales del desarrollo y la aplicación de la tecnología, la característica de la adquisición en paralelo de distintos sensores y alta capacidad procesamiento e implementación de múltiples algoritmos se han convertido en la dirección de desarrollo del sistema [1]. Los dispositivos FPGA se han convertido en una de las tecnologías más exitosas para desarrollar los sistemas que requieren una operación en tiempo real. Con el desarrollo de los sistemas especializados en diagnóstico de motores de inducción, necesitamos capturar y procesar las señales físicas de vibración, campo magnético y voltaje/corriente; posteriormente el procesamiento de estas señales de alta frecuencia y la señal compleja de manera rápida y precisa. Las FPGA nos permiten, ser más estricto en la frecuencia de muestreo, la precisión, la capacidad de almacenamiento con el uso de memorias externas rápidas, la velocidad de procesamiento, etc. El sistema de adquisición de datos de alta velocidad se utiliza ampliamente en la adquisición de datos de imágenes, radar, comunicaciones, telemetría, detección remota y monitoreo de herramientas eléctricas. La velocidad del sistema de adquisición de datos estará limitada directamente por la velocidad de muestreo máxima de los sensores MEM's. Recientemente, FPGA/CPLD se han utilizado más ampliamente en sistemas con estas características debido a su programabilidad muy estable, rápida y flexible.

Este artículo presenta el diseño de un sistema de adquisición y procesamiento de datos de alta velocidad basado en FPGA y sensores de tipo MEM's. El dispositivo FPGA es XC6SLX09 de la familia de dispositivos Sartan-6 que es proporcionado por Xilinx-AMD. El dispositivo acelerómetro es IIM-42351 de cuya frecuencia de muestreo puede alcanzar 8KHz. La operación del FPGA es sincronizada por una frecuencia de reloj global entregada por un cristal de cuarzo de 98MHz, contiene la conexión con sensores triaxiales de velocidad angular(ITG1010A) y campo magnético(MMC5983MA), el módulo de control por un receptor IR y los módulos

de comunicación USB/UART, todo será operado por el FPGA. El FPGA implementará los algoritmos de procesamiento analítico de señales apropiados para un mayor procesamiento de datos [2].

La Figura 1 es el diagrama de bloques del diseño de hardware del sistema de adquisición de datos de alta velocidad. Este sistema puede completar la adquisición de señales complejas. La información de datos se cambiará a la forma de señal diferencial en el circuito de acondicionamiento de señal que captura el sensor frontal, y los datos se importarán a AD. AD9254 cambiará las señales analógicas en señales digitales de 14 bits y los datos serán procesados por FPGA. Los algoritmos de procesamiento de señales digitales correspondientes se implementarán en el DSP. Los datos, procesados por FPGA y DSP, se enviarán a la interfaz PCI del PC b [2]. La composición de su sistema EDAS se muestra en la Figura 1.

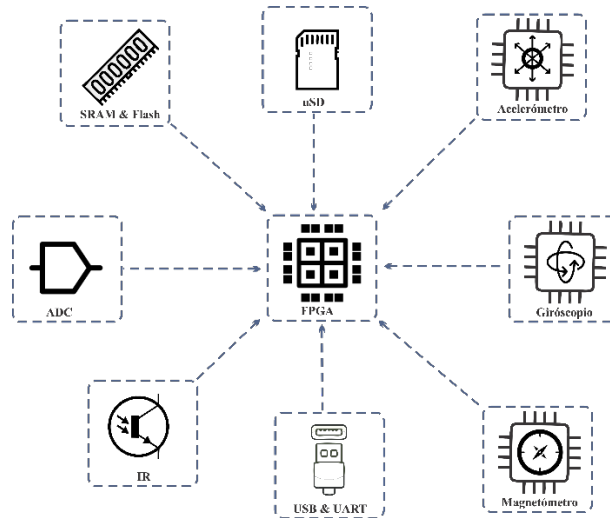


Figura 1. Estructura de adquisición, almacenamiento y transmisión de datos del EDAS.
Fuente: Autoría propia

Los algoritmos de procesamiento de señales digitales correspondientes se implementarán en el DSP. Los datos, procesados por FPGA y DSP, se enviarán a la interfaz PCI del PC b [2]. La composición de su sistema EDAS se muestra en la Figura 1.

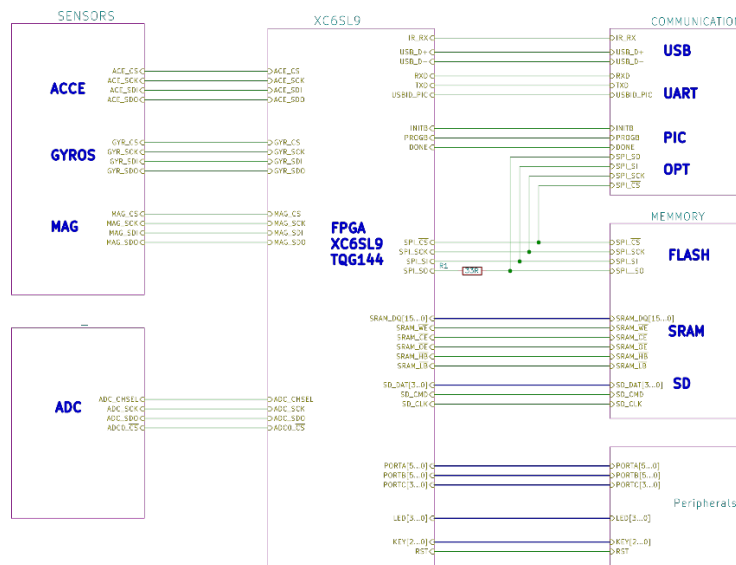


Figura 2 Arquitectura de conexionado de EDAS.
Fuente: Autoría propia

En la figura 2, se aprecia la estructura de conexión del FPGA con el resto de los periféricos; este conexiónado se realiza de forma paralela en los distintos buses de comunicación, lo que permitirá la adquisición paralela de distintos sensores, el almacenamiento rápido de información y una transmisión eficiente.

2. Periféricos del EDAS

El EDAS o sistema de análisis de datos integrado (Embedded Data Analytical System, EDAS) en placa basado en FPGA es un sistema integrado FPGA incluye cuatro partes, a saber, los dispositivos de adquisición, los elementos de almacenamiento, la transmisión de datos y el subsistema de procesamiento analítico de datos. El subsistema de adquisición se compone de sensores de tipo MEMs que son un acelerómetro, giroscopio, magnetómetro y un ADC; los elementos de almacenamiento de datos se componen de una memoria SRAM, memoria tipo ROM para la configuración propia del FPGA y almacenamiento uSD-FLASH. Después del muestreo, los datos se recopilan, procesan, almacenan y retransmiten a la plataforma integrada por FPGA y luego la plataforma integrada lee los datos de FPGA y envía los datos a sistemas externos a través de comunicación USB2.0.

Después de la selección de la estructura del sistema se procede a la selección de los principales componentes y sus características principales son:

- FPGA: Xilinx-AMD Spartan XC6SLX9 en CSG324 NLE/Cells-9152
- SRAM : 8ns 16M-bit 16 bits (IS61WV102416BLL)
- Ace: 3-Ax $\pm 2g$ -16g 8kHz 16 bit (IIM-42351)
- Gyr: 3-Ax $\pm 250 - 2000$ °/s 8kHz 16-bit (ITG1010A)
- Mag: 3-Ax ± 8 Gauss16bits (MMC5983MA)
- ADC: 2-canales16-bit 1MSPS - Simultaneas (ads7253)
- USB 2.0 interfaz de comunicación On-board
- USB 2.0 comunicación UART
- FPGA configuración via JTAG and USB
- Receptor IR,
- 4 x Leds, 3 botones de usuario
- Flash : 16 Mb SPI memoria flash (M25P16)
- USB 2.0 programación PIC-Flash
- uSD Card conector, Receptor IR,
- 12 IOs pins propósito general, multiplexados en 4puertos

La posición en la tarjeta desarrollada de estos componentes principales se puede localizar de acuerdo con la figura 2, donde se observan distribuidos en una vista superior e inferior de la tarjeta desarrollada.

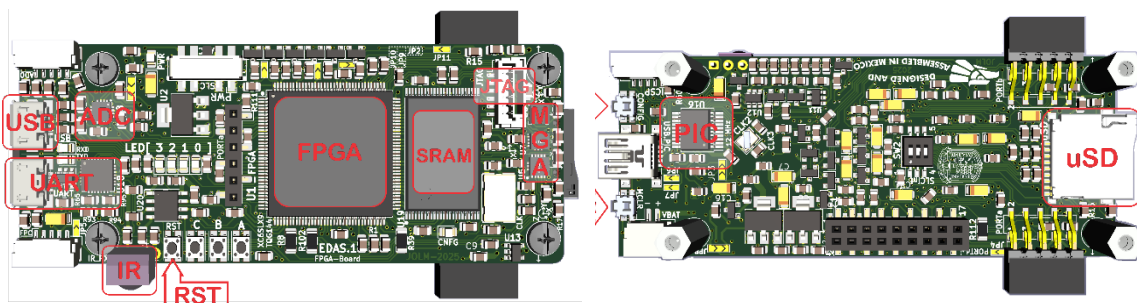


Figura 3. Localización de dispositivos, mascara superior e inferior de la tarjeta.
Fuente: Autoría propia

Metodología Propuesta

La placa propietaria basada en FPGA en la que se implementó el sistema de monitorización tiene las siguientes características. La placa propietaria de dimensiones 88 x 36 mm incluye un FPGA Spartan 6 XC6SLX09 que funciona a 96 MHz e integra la gestión de energía, la memoria de acceso aleatorio (RAM) estática, el almacenamiento flash y los puertos de comunicación, como el bus serie universal (USB) y el receptor-transmisor asíncrono universal (UART).

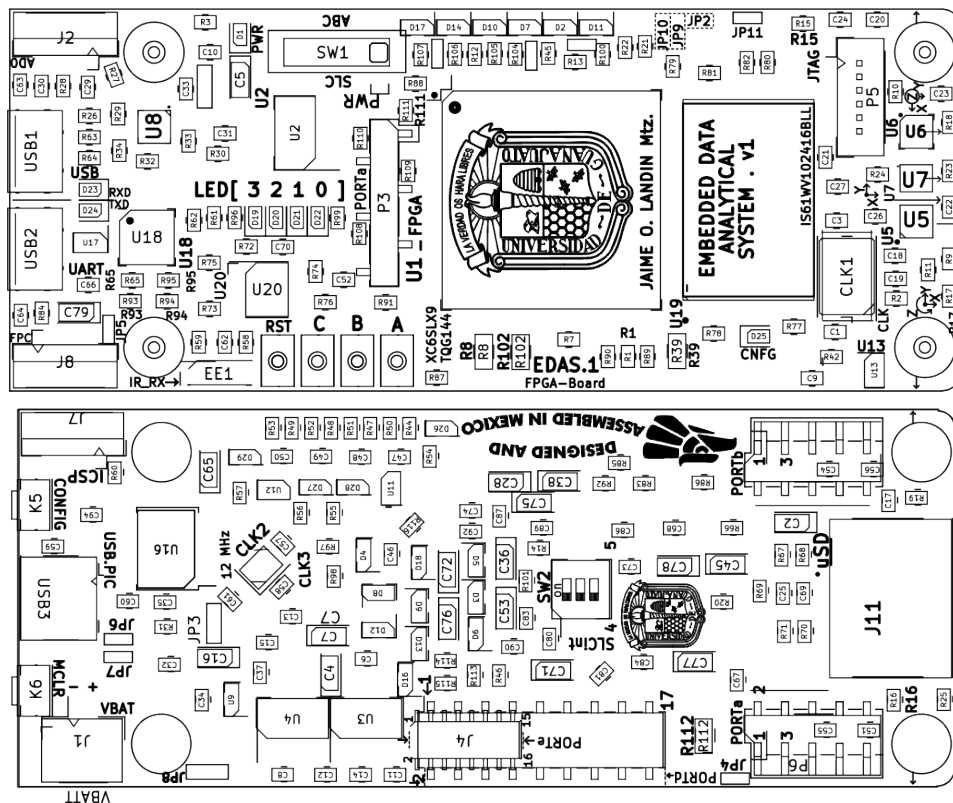


Figura 5. Metodología integrada para el desarrollo.
Fuente: Autoría propia

La Figura 5 es el diagrama de bloques del diseño de hardware del sistema de adquisición de datos de alta velocidad. Este sistema puede completar la adquisición de señales complejas. La información de datos se cambiará a la forma de señal diferencial en el circuito de acondicionamiento de señal que captura los sensores IIM-42351, ITG1010A y el MMC5983MA, y las señales de voltaje se importarán del ADS7253 cambiará las señales analógicas a señales digitales de 16 bits y los datos serán procesados por FPGA. Los algoritmos de procesamiento de señales digitales correspondientes se implementarán en el FPGA. Los datos, procesados por FPGA, se enviarán a la interfaz USB de la PC.

En la figura 6 muestra las distintas máscaras de circuitería de cuatro layer's.

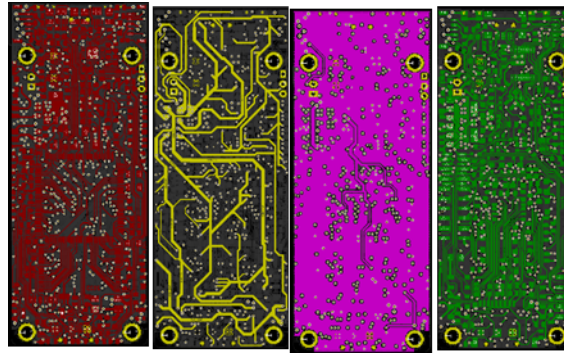


Figura 6. Metodología integrada para el desarrollo.

Fuente: Autoría propia

En este sistema, el espacio de RAM interno del FPGA es de solo 128 KB en total, y por lo tanto, el subsistema FPGA solo puede almacenar datos de un cuadro y los datos de n cuadros deben tener una cantidad de datos. Los resultados del diseño en el software Kikad se muestran en la figura 7.

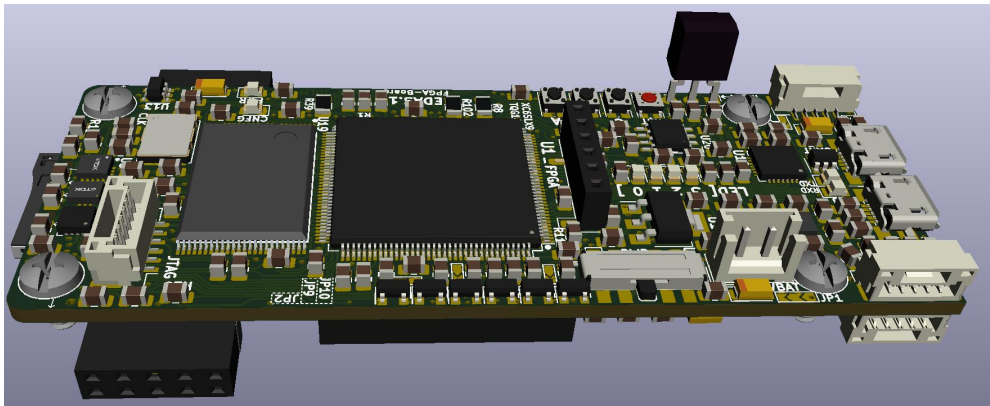


Figura 7. Metodología integrada para el desarrollo.

Fuente: Autoría propia

Resultados

La contribución de este trabajo es la implementación de una solución de sistema embebido para un instrumento de monitorización de condición de motores con FPGA de bajo coste como plataforma tecnológica. La solución de sistema embebido proporciona un sistema de monitorización automático como instrumento autónomo que puede ser vinculado a un ordenador central para la toma de decisiones automáticas en toda la línea de producción, reduciendo costes al monitorizar de forma continua los motores de inducción y realizar el proceso de monitorización en línea sin desconectar la maquinaria asociada. Para un mayor desarrollo, se pueden desarrollar otros tipos de interfaces en el mismo FPGA para permitir la conectividad en un sistema de instrumentación y control distribuido con varios estándares de comunicación industrial.

Referencias

1. Hu. Xiaojun - Data acquisition and analysis techniques (2010), p. 6
2. Huixin Zhang, Xueqing Wu. Multi-channel synchronous data acquisition and storage system based on FPGA. Electronic. design engineering.J.;2009,17(7);68-70.
3. Hou Chaoyong, Hu. Xuehao. Multi-channel real-time data acquisition system based on FPGA
Application of electronic technique., 10 (35) (2009), pp. 103-106

